

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-161706

(43)公開日 平成7年(1995)6月23日

(51)Int.Cl.⁶

H 01 L 21/316
21/768

識別記号 庁内整理番号
M 7352-4M

F I

技術表示箇所

H 01 L 21/ 90

J

審査請求 有 請求項の数3 OL (全5頁)

(21)出願番号 特願平5-306558

(22)出願日 平成5年(1993)12月7日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 桑田 孝明

東京都港区芝五丁目7番1号 日本電気株
式会社内

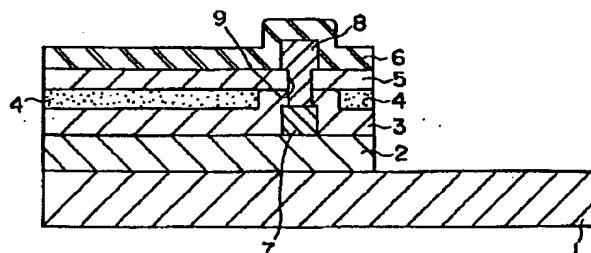
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 半導体装置の耐湿性を向上させ、且つチップサイズの縮小化が可能な半導体装置を提供すること。

【構成】 吸湿性の無い複数の絶縁膜2, 3, 5と、吸湿性の無い絶縁膜2, 3, 5によって絶縁された金属配線7, 8と、吸湿性の無い絶縁膜3, 5の間に介在して、金属配線7によって生じる吸湿性の無い絶縁膜3の段差を吸収する吸湿性を有する絶縁膜4とを含む半導体装置において、吸湿性を有する絶縁膜4が、金属配線7によって生じる吸湿性の無い絶縁膜3の凸状部分上で除去され、該凸部状分で吸湿性の無い絶縁膜同士3, 5が接触していることを特徴とする。



【特許請求の範囲】

【請求項1】 所定面上に配された金属配線と、前記所定面及び金属配線を覆い、この結果として前記金属配線に対応した凸部と対応しない残部との間に段差をもつ吸湿性の無い第1の非吸湿性絶縁膜と、前記段差を吸収するために前記絶縁膜上に配された吸湿性を有する吸湿性絶縁膜と、前記吸湿性絶縁膜の上に配された吸湿性の無い第2の非吸湿性絶縁膜とを含む半導体装置において、前記凸部の上面は前記吸湿性絶縁膜にて覆われることなく露出しつつ前記第2の非吸湿性絶縁膜に接触していることを特徴とする半導体装置。

【請求項2】 前記金属配線は前記非吸湿性絶縁膜の周辺部に配置されている請求項1記載の半導体装置。

【請求項3】 前記第2の非吸湿性絶縁膜上に配された付加金属配線を含み、前記第1及び第2の非吸湿性絶縁膜は前記凸部に対応した位置に前記金属配線及び付加金属配線間を接続した導体を埋設している請求項1又は2記載の半導体装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、半導体装置に関し、特に耐湿性を向上させた半導体装置に関する。

【0002】

【従来の技術】 従来の多層金属配線を有する半導体装置のチップ縁端部の構造を図4に示す。チップ縁端部は、ダイシングを容易に行なうため、半導体基板1が露出する様に表面保護膜6、第4の絶縁膜5、第3の絶縁膜4、第2の絶縁膜3、及び第1の絶縁膜2がほぼ垂直にエッティング除去されており、各々の膜の側面が露出した構造となっている。この従来構造を詳細に説明するために各絶縁膜の役割について以下に説明する。

【0003】 図5に示す様に、第1の絶縁膜2は、第1の金属配線7と半導体基板1、又は半導体基板1と第1の金属配線7との中間に位置する配線との絶縁を保つものであり、主にSiO₂で形成される。この第1の絶縁膜2は、吸湿性を有していない。

【0004】 第2の絶縁膜3は、第1の金属配線7（例えばアルミニウム合金）上を覆い、第3の絶縁膜4と第1の金属配線7が直接接触するのを防止する役割を有する。主にプラズマCVD法によるSiO₂で形成される。この第2の絶縁膜3も吸湿性を有していない。第3の絶縁膜4は、第1の金属配線7によって生じる第2の絶縁膜3の段差を低減するためにシリカフィルム又はポリイミド等をスピンドルコートし、ベークしたものであり、吸湿性を有する膜である。この膜は、第1の金属配線7によって生じる第2の絶縁膜3の凸状部分上では薄く形成され、一方、この第2の絶縁膜3の凸状部分以外の部分では厚く形成されるため、第1の金属配線7によって生じる第2の絶縁膜3の段差を第3の絶縁膜4の上面で

配線8の断線を防止する。第4の絶縁膜5は、吸湿性の無い絶縁膜であり、第3の絶縁膜4の上面にキャップ膜として形成され、半導体製造工程中に第3の絶縁膜4中に水分が侵入しない様にするのとともに、第3の絶縁膜4が第2の金属配線8に直接接触しない様にする役割がある。表面保護膜6は、主にSi₃N₄によって形成されており、チップ上方からの可動イオン及び水分の侵入を防止する役割を有している。

【0005】 以上の複数の絶縁膜が積層構造になっており、チップのスクライプ線領域ではそれらの膜の断面部が露出した構造となっている。

【0006】

【発明が解決しようとする課題】 この従来のチップ縁端部の構造では、吸湿性を有する第3の絶縁膜4が露出しているために、図4及び図5に示す様に、水分が第3の絶縁膜4中に侵入する。第3の絶縁膜4（例えばシリカフィルム、ポリイミド）に水分が吸収された場合、第3の絶縁膜4の誘電率が大きくなる。このため、図6に示す様な2本の配線7がチップ縁端部の近傍に配置されている場合、第3の絶縁膜4の誘電率が大きくなるため、配線間容量が増大し、電子回路中の信号の伝搬が遅れたり、他の配線にクロストークが生じたりするという不具合が生じる。これは図5に示す様な場合には、上下に重なって配置された第1の金属配線7と、第2の金属配線8間でも生じる。また、図5上の左側の第2の金属配線8については、半導体基板1との間の容量が増大する。

【0007】 この様な問題を避けるため、配線を配置する位置をチップ縁端部から十分に離すという対応がなされている。この水分の影響を避けるためには、約20μm以上、チップ縁端から離す必要がある。この分チップサイズの増大を招いていた。このチップサイズの増大を避けるために、図7に示す様に構成された半導体装置がある。この半導体装置は、以下の様にして製造される。先ず、第1のフォトリソグラフィック工程を行ない、第4の絶縁膜5、第3の絶縁膜4、第2の絶縁膜3、第1の絶縁膜2を順次エッティング除去し、スクライプ線領域の半導体基板1を露出させ、次に表面保護膜6を形成し、上述の積層膜の露出した側面を覆う。次に第フォトリソグラフィック工程を行ない、スクライプ線領域の表面保護膜6をエッティング除去する。この図7に示すチップ縁端部の構造では、上述した問題は生じないが、フォトレジスト数が増大し、コスト上昇につながるという問題が発生する。

【0008】 また、半導体装置の耐湿性対策として、多結晶シリコン層をチップの縁端部に被覆保護する様に配置したものがある（特開昭56-107570号公報参照）。しかし、この半導体装置では、先ず、スクライプ線領域のPSG膜、SiO₂膜を除去した後、側壁部保

ングしている。更に、表面保護膜を形成し、フォトリソグラフィックを施してスクリープ線領域の半導体基板を露出させている。この発明では、図7に示すものよりも更にフォトレジスト数が増大するという問題点があるだけでなく、多層金属配線がアルミニウム合金によって形成されている場合、多結晶シリコンを成膜するためには600°C以上の温度が必要なため、アルミニウム合金が融解すると共に膨張し、層間絶縁膜にクラックが発生するという不具合が生じる。この為、特開昭56-107570号公報に開示されている構造は、多層金属配線を有する半導体装置には適用できない。

【0009】それ故に本発明の課題は、多層金属配線を有する半導体装置において、コストアップすることなく、チップ縁端部からの水分の侵入を防止することができる半導体装置を提供することにある。

【0010】

【課題を解決するための手段】本発明によれば、所定面上に配された金属配線と、前記所定面及び金属配線を覆い、この結果として前記金属配線に対応した凸部と対応しない残部との間に段差をもつ吸湿性の無い第1の非吸湿性絶縁膜と、前記段差を吸収するために前記絶縁膜上に配された吸湿性を有する吸湿性絶縁膜と、前記吸湿性絶縁膜の上に配された吸湿性の無い第2の非吸湿性絶縁膜とを含む半導体装置において、前記凸部の上面は前記吸湿性絶縁膜にて覆われることなく露出しつつ前記第2の非吸湿性絶縁膜に接触していることを特徴とする半導体装置が得られる。

【0011】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は本発明の第1の実施例におけるチップ周辺部の断面図である。この半導体装置の製造に当っては、先ず、半導体基板1上に吸湿性の無い第1の絶縁膜2を形成し、この絶縁膜2上に、この周辺部を巡らせる様に、第1の金属配線7（膜厚0.8μm）を所定の線幅（例えば2μm）で配置する。次に、吸湿性の無い第2の絶縁膜3（膜厚0.7μm）を、第1の金属配線7を覆う様にして第1の絶縁膜2上に成長させる。第2の絶縁膜3は、第1の非吸湿性絶縁膜を構成する。次に、吸湿性を有する第3の絶縁膜4（例えばシリカフィルム、ポリイミド）を約0.5μmの膜厚になる様にスピンドルコートし、焼きしめを行ない、膜中の水分を除去する。第3の絶縁膜4は、吸湿性絶縁膜を構成する。次に、全面エッチバックを行ない、第1の金属配線7によって生じる第2の絶縁膜3の凸部上にある第3の絶縁膜4を完全に除去する。次に、吸湿性の無い第4の絶縁膜5（膜厚0.5μm）を成長させる。第4の絶縁膜5は、第2の非吸湿性絶縁膜を構成する。次に、主にSi₃N₄から成る表面保護膜6（膜厚0.6μm）を成長させる。次に、スクリープ線領域を形成するためにフォ

除去し、半導体基板1を露出させる。以上の工程を経て半導体装置が製造される。

【0012】上述の工程で得られた半導体装置は、チップ周辺部に設けた所定の幅の金属配線の上方で吸湿性の無い絶縁膜同士が密着する構造となり、この部分で水分が半導体装置の奥深くへと侵入するのを防止できる。

【0013】次に本発明の第2の実施例について、図2を用いて説明する。本実施例では、チップ周辺部に、第1の実施例の場合よりも細い線幅（例えば1μm）でチップ周辺部に第1の金属配線を配置させ、第1の実施例と同一の方法で、第1の金属配線7によって生じる第2の絶縁膜3の凸部上の第3の絶縁膜4を除去し、次に、第3の絶縁膜4上に第4の絶縁膜5を形成する。次に、第1の金属配線7によって生じた第2の絶縁膜3の凸部と第4の絶縁膜5とが密着した部分で、チップ周辺部を囲む様に、連続して開口した溝孔又はスルーホール9を形成し、次に付加金属配線としての第2の金属配線8をスルーホール9中に埋め込む様に成長させた後、所定の線幅（例えば1μm）にパターニングする。次に、第1の実施例と同様に表面保護膜6を形成し、所定の位置にスクリープ線領域を形成したものである。

【0014】また図3は第3の実施例を示し、本実施例は第2の実施例の半導体装置と略同構成であり、本実施例の場合、スルーホール9を高融点金属10（例えばタングステン）で埋め込んだ構造としてある。

【0015】本発明の構造の特徴は、吸湿性を有する絶縁膜がチップ周辺部に配置された金属配線上に存在しないことである。

【0016】この構造は、金属配線間の層間絶縁膜の一部である吸湿性を有する絶縁膜が、スクリープ線領域に露出していても、ここから水分がチップの内部領域に奥深く侵入できない構造となっている。

【0017】

【発明の効果】以上説明した様に本発明では、金属配線によって生じる吸湿性の無い絶縁膜の凸状部分に吸湿性の無い絶縁膜が接触するようになっているので、チップ縁端部に吸湿性を有する絶縁膜が露出していたとしても、ここから侵入してくる水分が金属配線上を通過することはない。従って、金属配線よりもチップ内部側に水分が侵入することはない。この結果、金属配線より内側に、他の金属配線を配置した場合でも、水分の侵入により配線容量が増大することがない。この為、従来の様に水分の侵入する距離だけチップ周辺部を大きくする必要がない。また、図7に示す様にスクリープ線領域の表面保護膜のみを除去する特別なフォトレジストを付加する必要がないという効果を有し、コストアップすることが無い。

【0018】また、請求項2記載の半導体装置では、金属配線が吸湿性の無い絶縁膜の周辺部に配設するように

【0019】また、請求項3記載の半導体装置では、吸湿性の無い絶縁膜同士が接触する部分に導体を埋設してあるので、吸湿性の無い絶縁膜同士の界面から侵入していく水分をも防ぐことが可能となり、その分、半導体装置のチップサイズを更に小さくすることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置におけるチップ周辺部の断面図である。

【図2】本発明の第2の実施例の半導体装置におけるチップ周辺部の断面図である。

【図3】本発明の第3の実施例の半導体装置におけるチップ周辺部の断面図である。

【図4】従来の半導体装置の一例のチップ周辺部の断面図である。

【図5】図4に示す半導体装置の他の部位での断面図である。

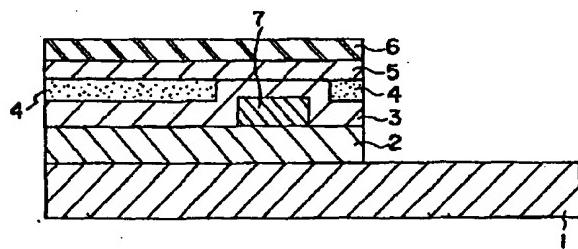
【図6】図6は図4に示す半導体装置の要部を示し、(a)は要部での不具合を説明する説明図、(b)は要部の断面図である。

【図7】従来の半導体装置の他の例のチップ周辺部の断面図である。

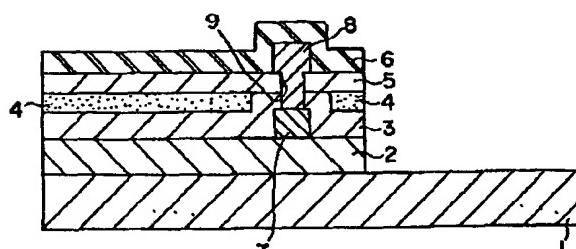
【符号の説明】

- | | |
|----|---------|
| 1 | 半導体基板 |
| 2 | 第1の絶縁膜 |
| 3 | 第2の絶縁膜 |
| 4 | 第3の絶縁膜 |
| 5 | 第4の絶縁膜 |
| 6 | 表面保護膜 |
| 7 | 第1の金属配線 |
| 8 | 第2の金属配線 |
| 9 | スルーホール |
| 10 | 高融点金属 |

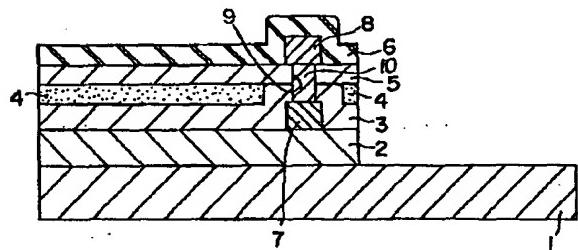
【図1】



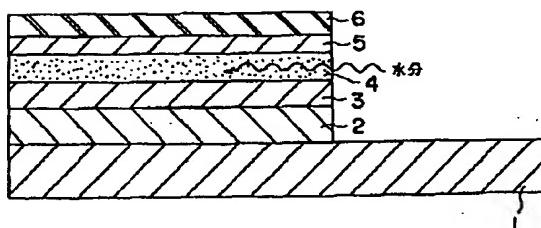
【図2】



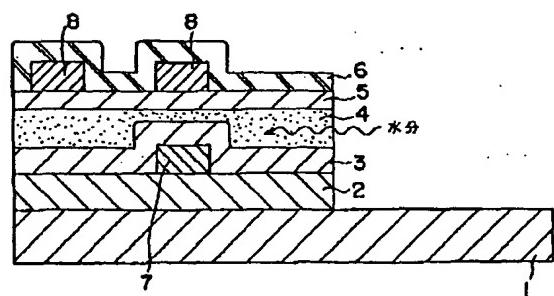
【図3】



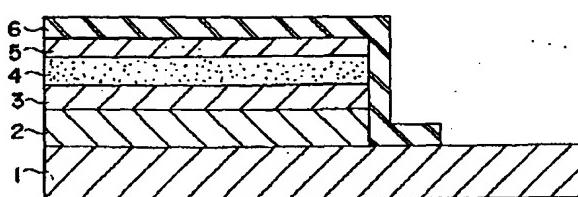
【図4】



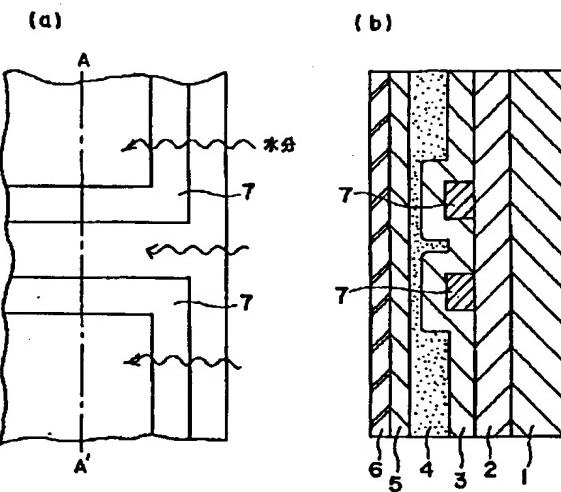
【図5】



【図7】



【図6】



English Translation for IDS(07-161706)

SEMICONDUCTOR DEVICE

[Claim(s)]

[Claim 1] Metal wiring allotted on the predetermined side. Hygroscopicity which covered the aforementioned predetermined side and metal wiring, and was allotted on the aforementioned insulator layer in order to absorb the 1st nonhygroscopic insulation film and aforementioned level difference which does not have the hygroscopicity which has a level difference between the heights corresponding to the aforementioned metal wiring, and the not corresponding remainder as this result. It is the semiconductor device equipped with the above, and the upper surface of the aforementioned heights is characterized by exposing, without being covered in the aforementioned hygroscopic insulator layer, and being in contact with the nonhygroscopic insulation film of the above 2nd.

[Claim 2] The aforementioned metal wiring is a semiconductor device according to claim 1 arranged at the periphery of the aforementioned nonhygroscopic insulation film.

[Claim 3] The above 1st and the 2nd nonhygroscopic insulation film are a semiconductor device according to claim 1 or 2 which is laying under the position corresponding to the aforementioned heights the conductor which connected between the aforementioned metal wiring and addition metal wiring including the addition metal wiring allotted on the nonhygroscopic insulation film of the above 2nd.

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the semiconductor device which raised moisture resistance about a semiconductor device.

[0002]

[Description of the Prior Art] The structure of the chip edge of a semiconductor device of having the conventional multilevel-metal wiring is shown in drawing 4 . Etching removal of the surface-protection film 6, the 4th insulator layer 5, the 3rd insulator layer 4, the 2nd insulator layer 3, and the 1st insulator layer 2 is mostly carried out at the perpendicular so that the semiconductor substrate 1 may be exposed, and the chip edge has structure which the side of each film exposed in order to perform dicing easily. In order to explain structure in detail conventionally [this], the role of each insulator layer is explained below.

[0003] As shown in drawing 5 , the 1st insulator layer 2 maintains the insulation with the wiring located in the middle of the 1st the metal wiring 7 and semiconductor substrate 1 or the semiconductor substrate 1, and the 1st metal wiring 7, and it is mainly SiO₂. It is formed. This 1st insulator layer 2 does not have hygroscopicity.

[0004] The 2nd insulator layer 3 covers the 1st metal wiring 7 (for example, aluminium alloy) top, and has the role which prevents that the 1st metal wiring 7 contacts the 3rd insulator layer 4 directly. SiO₂ mainly according to a plasma CVD method It is formed. This 2nd insulator layer 3 does not have hygroscopicity, either. The 3rd insulator layer 4 is a film which carries out the spin coat of a silica film or the polyimide, it in order to reduce the level difference of the 2nd insulator layer 3 produced with the 1st metal wiring 7, and has hygroscopicity. Since this film is thinly formed on the height part of the 2nd insulator layer 3 produced with the 1st metal wiring 7 and it is thickly formed on the other hand in portions other than the height part of this 2nd insulator layer 3, The level difference of the 2nd insulator layer 3 produced with the 1st metal wiring 7 can be absorbed on the upper surface of the 3rd insulator layer 4, and an open circuit of the 2nd metal wiring 8 arranged in the upper part is prevented. the 4th insulator layer 5 is an insulator layer without hygroscopicity, is formed in the upper surface of the 3rd insulator layer 4 as a cap film, and has making it moisture not invade into the 3rd insulator layer 4 into a semiconductor manufacturing process, simultaneously the role to which it is made for the 3rd insulator layer 4 not to contact the 2nd metal wiring 8 directly The surface-protection film 6 is mainly Si 3N₄. It is formed and has the role which prevents the invasion of the movable ion from the chip upper part, and moisture.

[0005] Two or more above insulator layers have a laminated structure, and it has structure which the cross-section portion of those films exposed in the scribe line field of a chip.

[0006]

[Problem(s) to be Solved by the Invention] With the structure of this conventional chip edge, since the 3rd insulator layer 4 which has hygroscopicity is exposed, as shown in drawing 4 and drawing 5 , moisture invades into the 3rd insulator layer 4. When moisture is absorbed by the 3rd insulator layer 4 (for example, a silica film, a polyimide), the dielectric constant of the 3rd insulator layer 4 becomes large. For this reason, since the dielectric constant of the 3rd insulator layer 4 becomes large when the wiring 7 of two as shown in drawing 6 is arranged near the chip edge, the capacity between wiring increases and the fault that propagation of the signal in an electronic circuitry is overdue, or a cross talk arises in other wiring arises. This is produced also between the 1st metal wiring 7 arranged by becoming in heaviness up and down, and the 2nd metal

wiring 8, when shown in drawing 5 . Moreover, the capacity between the semiconductor substrates 1 increases about the metal wiring 8 of the 2nd of the left-hand side on drawing 5 .

[0007] In order to avoid such a problem, correspondence of fully separating from the chip edge the position which arranges wiring is made. In order to avoid the influence of this moisture, it is necessary to separate from about 20 micrometers or more and the chip edge. Increase of a chip size was caused at this rate. In order to avoid increase of this chip size, there is a semiconductor device constituted as shown in drawing 7 . This semiconductor device is manufactured as follows. First, it is a wrap about the side which performs the 1st FOTORIZO graphic process, carries out etching removal of the 4th insulator layer 5, the 3rd insulator layer 4, the 2nd insulator layer 3, and the 1st insulator layer 2 one by one, and was made to expose the semiconductor substrate 1 of a scribe line field, and next formed the surface-protection film 6 and the above-mentioned cascade screen exposed. Next, a ** FOTORIZO graphic process is performed and etching removal of the surface-protection film 6 of a scribe line field is carried out. Although the problem mentioned above is not produced with the structure of the chip edge shown in this drawing 7 , the number of photoresists increases and the problem of leading to cost elevation occurs.

[0008] Moreover, there are some which have been arranged as a damp-proof cure of a semiconductor device so that covering protection of the polycrystal silicon layer may be carried out at the edge of a chip (refer to JP,56-107570,A). However, in this semiconductor device, first, after removing the PSG film of a scribe line field, and SiO₂ film, the polycrystal silicon film which should turn into a side-attachment-wall section protective coat is grown up, and is carrying out patterning. Furthermore, a surface-protection film is formed, a FOTORIZO graphic is given, and the semiconductor substrate of a scribe line field is exposed. There is not only a trouble that the number of photoresists increases further rather than what is shown in drawing 7 , but in this invention, when multilevel-metal wiring is formed of the aluminium alloy, in order to form polycrystal silicon, the temperature of 600 degrees C or more expands, while eye a required hatchet and an aluminium alloy dissolve, and the fault that a crack occurs on a layer insulation film arises. For this reason, the structure currently indicated by JP,56-107570,A is inapplicable to the semiconductor device which has multilevel-metal wiring.

[0009] So, the technical problem of this invention is in the semiconductor device which has multilevel-metal wiring to offer the semiconductor device which can prevent the invasion of the moisture from the chip edge, without carrying out a cost rise.

[0010]

[Means for Solving the Problem] The 1st nonhygroscopic insulation film which according to this invention covers the metal wiring allotted on the predetermined side, and the aforementioned predetermined side and metal wiring, and does not have the hygroscopicity which has a level difference between the heights corresponding to the aforementioned metal wiring, and the not corresponding remainder as this result, In the semiconductor device containing the hygroscopic insulator layer which has the hygroscopicity allotted on the aforementioned insulator layer in order to absorb the aforementioned level difference, and the 2nd nonhygroscopic insulation film which does not have the hygroscopicity allotted on the aforementioned hygroscopic insulator layer The semiconductor device characterized by exposing the upper surface of the aforementioned heights, without being covered in the aforementioned hygroscopic insulator layer, and being in contact with the nonhygroscopic insulation film of the above 2nd is obtained.

[0011]

[Example] Next, the example of this invention is explained with reference to a drawing. Drawing 1 is the cross section of the chip periphery in the 1st example of this invention. In manufacture of this semiconductor device, the 1st insulator layer 2 without hygroscopicity is first formed on the semiconductor substrate 1, and the 1st metal wiring 7 (0.8 micrometers of thickness) is arranged with predetermined line breadth (for example, 2 micrometers) so that this periphery may be plotted on this insulator layer 2. Next, the 2nd insulator layer 3 (0.7 micrometers of thickness) without hygroscopicity is grown up on the 1st insulator layer 2, as the 1st metal wiring 7 is covered. The 2nd insulator layer 3 constitutes the 1st nonhygroscopic insulation film. Next, the spin coat of the 3rd insulator layer 4 (for example, a silica film, a polyimide) which has hygroscopicity is carried out so that it may become about 0.5-micrometer thickness, a baked bundle is performed, and the moisture in a film is removed. The 3rd insulator layer 4 constitutes a hygroscopic insulator layer. Next, whole surface etchback is performed and the 3rd insulator layer 4 on the heights of the 2nd insulator layer 3 produced with the 1st metal wiring 7 is removed completely. Next, the 4th insulator layer 5 (0.5 micrometers of thickness) without hygroscopicity is grown up. The 4th insulator layer 5 constitutes the 2nd nonhygroscopic insulation film. next -- mainly -- Si 3N4 from -- the surface-protection film 6 (0.6 micrometers of thickness) which changes is grown up Next, in order to form a scribe line field, a FOTORIZO graphic is given, etching removal of the above-mentioned cascade screen is carried out, and the semiconductor substrate 1 is exposed. A semiconductor device is manufactured through the above process.

[0012] The semiconductor device obtained at the above-mentioned process serves as structure which the insulator layers which do not have hygroscopicity in the upper part of metal wiring of predetermined width of face established in the chip periphery stick, and can prevent that a semiconductor device is deep and moisture invades with ** in this portion.

[0013] Next, the 2nd example of this invention is explained using drawing 2 . In this example, to a chip periphery, the 1st metal wiring is arranged to a chip periphery with narrow line breadth (for example, 1 micrometer) rather than the case of the 1st example, and the 3rd insulator layer 4 on the heights of the 2nd insulator layer 3 produced with the 1st metal wiring 7 is removed by the same method as the 1st example, next the 4th insulator layer 5 is formed on the 3rd insulator layer 4 at it. Next, in the portion which the heights of the 2nd insulator layer 3 produced with the 1st metal wiring 7 and the 4th insulator layer 5 stuck, the slotted hole or through hole 9 which carried out opening continuously is formed, and after making it grow up so that the 2nd metal wiring 8 as addition metal wiring may next be embedded into a through hole 9, patterning is carried out to predetermined line breadth (for example, 1 micrometer), so that a chip periphery may be surrounded. Next, the surface-protection film 6 is formed like the 1st example, and a scribe line field is formed in a position.

[0014] Moreover, drawing 3 shows the 3rd example, and this example is the 2nd semiconductor device and **** composition of an example, and, in the case of this example, is made into the structure which embedded the through hole 9 by the refractory metal 10 (for example, tungsten).

[0015] The feature of the structure of this invention is not existing on the metal wiring with which the insulator layer which has hygroscopicity has been arranged at the chip periphery.

[0016] This structure is the structure where moisture cannot trespass upon the internal field of a chip deep from here, even if the insulator layer which has the hygroscopicity which is some layer insulation films during metal wiring is exposed to a scribe line field.

[0017]

[Effect of the Invention] The moisture which invades from here though the insulator layer which has hygroscopicity is exposed to the chip edge, since it changes so that the insulator layer which does not have hygroscopicity in a part for the height of an insulator layer without the hygroscopicity produced with metal wiring may contact in this invention as explained above does not pass through a metal wiring top. Therefore, moisture does not invade into the interior side of a chip rather than metal wiring. Consequently, even when other metal wiring has been arranged inside metal wiring,

wiring capacity does not increase by invasion of moisture. For this reason, only the distance into which moisture invades like the former does not need to enlarge a chip periphery. Moreover, it has the effect that it is not necessary to add the special photoresist which removes only the surface-protection film of a scribe line field as shown in drawing 7 , and a cost rise is not carried out.

[0018] Moreover, in a semiconductor device according to claim 2, since it was made for metal wiring to arrange in the periphery of an insulator layer without hygroscopicity, a semiconductor device can be miniaturized.

[0019] Moreover, since the conductor is laid under the portion which the insulator layers which do not have hygroscopicity contact in a semiconductor device according to claim 3, it becomes possible to also prevent the moisture which invades from the interface of the insulator layers which do not have hygroscopicity, and has the effect that the chip size of the part and a semiconductor device can be made still smaller.

[Brief Description of the Drawings]

[Drawing 1] It is the cross section of the chip periphery in the semiconductor device of the 1st example of this invention.

[Drawing 2] It is the cross section of the chip periphery in the semiconductor device of the 2nd example of this invention.

[Drawing 3] It is the cross section of the chip periphery in the semiconductor device of the 3rd example of this invention.

[Drawing 4] It is the cross section of the chip periphery of an example of the conventional semiconductor device.

[Drawing 5] It is a cross section in other parts of the semiconductor device shown in drawing 4 .

[Drawing 6] Drawing 6 shows the important section of the semiconductor device shown in drawing 4 , and explanatory drawing in which (a) explains the fault in an important section, and (b) are the cross sections of an important section.

[Drawing 7] It is the cross section of the chip periphery of other examples of the conventional semiconductor device.

[Description of Notations]

- 1 Semiconductor Substrate
- 2 1st Insulator Layer
- 3 2nd Insulator Layer
- 4 3rd Insulator Layer
- 5 4th Insulator Layer
- 6 Surface-Protection Film

7 1st Metal Wiring

8 2nd Metal Wiring

9 Through Hole

10 Refractory Metal

Abstract:

PURPOSE: To improve humidity resistance of a semiconductor device, and provide a semiconductor device capable of reducing the chip size.

CONSTITUTION: The title semiconductor device contains the following; a plurality of insulating films 2, 3, 5 having no humidity resistance, metal wirings 7, 8 insulated by them, and an insulating film 4 having humidity resistance which film is interposed between the films 3 and 5 and absorbs the step difference generated by the metal wiring 7. The insulating film 4 is eliminated on a protruding part of the insulating film 3 having no humidity resistance which part is generated by the metal wiring 7, and the insulating films 3, 5 having no humidity resistance come into contact with each other on the protruding part.